

CONTROL CIRCUIT FOR LIGHT EMITTING ELEMENT ARRAY

Patent number: JP2001085984 (A)
Publication date: 2001-03-30
Inventor(s): SCHULER JEFFREY A; ZHAO YANG; BRUMMER JOHN +
Applicant(s): INFINEON TECHNOLOGIES CORP +
Classification:
- international: G09G3/32; H01L33/00; H03K17/78; H05B33/08; G09G3/20; G09G3/32; H01L33/00; H03K17/78; H05B33/02; G09G3/20; (IPC1-7): H03K17/78; H05B33/08
- european: G09G3/32A14C; G09G3/32A6
Application number: JP20000217873 20000718
Priority number(s): US19990357786 19990721

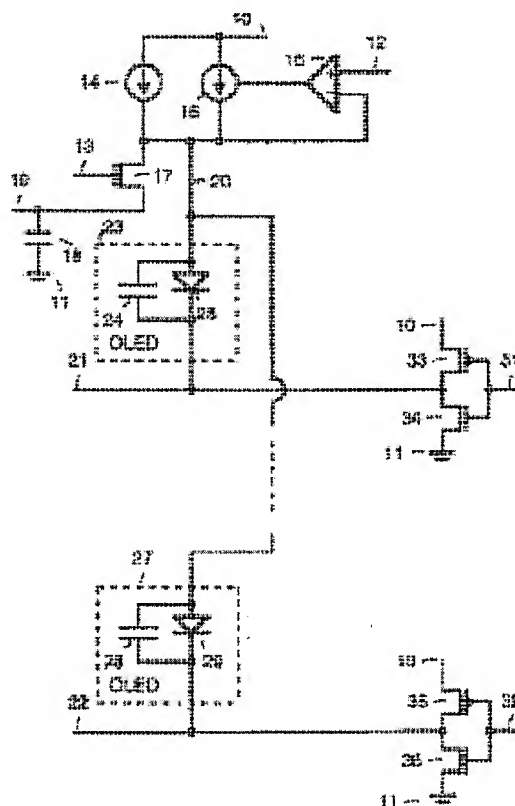
Also published as:

JP4012359 (B2)
 EP1071070 (A2)
 EP1071070 (A3)
 EP1071070 (B1)
 EP1071070 (B9)

more >>

Abstract of JP 2001085984 (A)

PROBLEM TO BE SOLVED: To realize a control circuit which operates a light emitting elements row with small power and reduces complexity by providing 1st and 2nd current sources connected to a 1st column circuit connected to the light emitting elements. **SOLUTION:** A drive circuit for the column line 20 to which the light emitting elements 23 to 27 are connected consists of a current source 15, a comparator 16, a current source 14 and a transistor 17. A large current is supplied at a start of each of column cycles by adding to the large current source 15 to charge the column up to a prescribed voltage. A reference voltage corresponding to the prescribed voltage is applied to a reference voltage line 12 during a charging period, once the voltage reaches the prescribed voltage, the comparator 16 disconnects the source 15.; Next, the source 15 supplies a 'quick charge' current to charge the capacitor of an active light emitting element in the column, and supplies a desired pixel current when inheritance to the source 14 becomes available. Thus, the source supplies sufficient current and the active light emitting elements emit light in most of the column cycles.



Data supplied from the **espacenet** database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-85984

(P2001-85984A)

(43) 公開日 平成13年3月30日 (2001.3.30)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 3 K 17/78		H 0 3 K 17/78	E
H 0 5 B 33/08		H 0 5 B 33/08	
// H 0 1 L 33/00		H 0 1 L 33/00	J

審査請求 未請求 請求項の数10 O L (全 7 頁)

(21) 出願番号 特願2000-217873(P2000-217873)
(22) 出願日 平成12年7月18日(2000.7.18)
(31) 優先権主張番号 09/357786
(32) 優先日 平成11年7月21日(1999.7.21)
(33) 優先権主張国 米国 (U S)

(71) 出願人 399035836
インフィニオン テクノロジーズ ノース
アメリカ コーポレーション
Infineon Technolog
ies North America Co
r p
アメリカ合衆国 カリフォルニア サン
ホセ ノース ファースト ストリート
1730
(74) 代理人 100061815
弁理士 矢野 敏雄 (外3名)

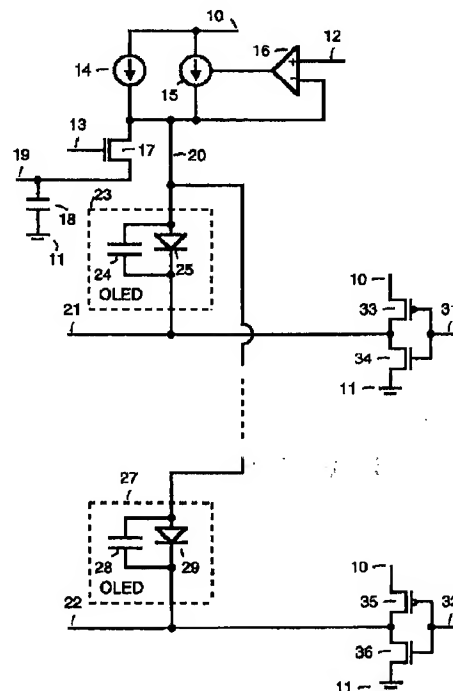
最終頁に続く

(54) 【発明の名称】 発光素子アレイのための制御回路

(57) 【要約】

【課題】 発光素子行を低電力で動作する回路を提供し、複雑さを減らして発光素子行に対する制御回路を実現する。

【解決手段】 前記課題は、発光素子の列中の各発光素子に接続された第1の列線路と、第1の列線路に接続された第1の電流源および第1の列線路に接続された第2の電流源を有する第1の列回路とを有し、発光素子列からの第1の発光素子をターンオンすべき場合、第1の列線路の電圧が所定の電圧に等しくなるまで前記第1の電流源がターンオンされ、次いで当該第1の電流源はターンオフされ、前記第2の電流源は第1の輝度レベルにまで発光素子を発光させるのに十分な電流を供給する発光素子アレイのための制御回路を提供する。



【特許請求の範囲】

【請求項1】 発光素子（23，27）アレイのための制御回路において、回路が第1の列線路（20）と、第1の列回路とを有し、

前記第1の列線路（20）は、発光素子（23，27）の列中の各発光素子（23，27）に接続されており、前記第1の列回路は、第1の列線路（20）に接続された第1の電流源（15）と、第1の列線路（20）に接続された第2の電流源（14）とを有し、

発光素子（23，27）列からの第1の発光素子（23，27）をターンオンすべき場合、第1の列線路（20）の電圧が所定の電圧に等しくなるまで前記第1の電流源（15）がターンオンされ、次いで当該第1の電流源（15）はターンオフされ、前記第2の電流源（14）は第1の輝度レベルにまで発光素子（23，27）を発光させるのに十分な電流を供給することを特徴とする、発光素子アレイのための制御回路。

【請求項2】 前記第1の列回路は、第1の列線路（20）ならびに低電圧電源の出力キャパシタ（18）に接続されたスイッチ（17）を有し、第1の列線路（20）における電圧を放電すべき場合、スイッチ（17）をターンオンして、低電圧電源の出力キャパシタ（18）に電圧を放電させる、請求項1記載の制御回路。

【請求項3】 第2の列線の（120）と第2の列回路とを有し、

該第2の列回路は、前記第2の列線路（120）に接続された第3の電流源（115）と、前記第2の列線路（120）に接続された第4の電流源（114）とを有する、請求項1または2記載の制御回路。

【請求項4】 キャパシタ（221）と、該キャパシタ（221）を充電する第5の電流源（215）と、基準電圧線（12）における基準電圧とキャパシタ（221）の電圧とを比較する比較器（216）とを有し、前記比較器（216）は、第1の電流源（15）、第3の電流源（115）ならびに第5の電流源（215）を制御し、前記比較器（216）は、キャパシタ（221）の電圧が基準電圧に等しい場合、前記第1の電流源（15）をターンオフする、請求項3記載の制御回路。

【請求項5】 電源と、複数の行線路（21，22）と、複数のスイッチ（33～36）とを有し、前記電源は、発光素子（23，27）アレイの発光素子（23，27）をターンオンするのに十分に高い電圧を備えた信号を出力し、前記複数のスイッチ（33～36）は、複数の行線路（21，22）からの関連の行線路に接続されており、各スイッチ（33～36）は、前記関連の行線路（21，22）を電源（10）の出力またはアース（11）のいずれかに接続する、請求項1から4までのいずれか

1項記載の制御回路。

【請求項6】 発光素子（23，27）アレイの制御方法において、回路が以下のステップを有する：

（a）発光素子（23，27）列からの第1の発光素子（23，27）をターンオンすべき場合、第1の発光素子（23，27）のキャパシタ（24，28）を第1の電流源（15）を使用して、第1の発光素子（23，27）における電圧が所定の電圧に等しくなるまで充電するステップ；

（b）第1の発光素子（23，27）における電圧が所定の電圧に等しくなるとき、第1の電流源（15）を遮断するステップ；

（c）第2の電流源（20）を使用して、第1の輝度レベルにまで発光素子（23，27）を発光させるのに十分な電流を供給するステップ；を有することを特徴とする方法。

【請求項7】 以下のステップを有する：

（d）第1の発光素子（23，27）をターンオフすべき場合、第1の発光素子（23，27）のキャパシタ（24，28）を低電圧電源の出力キャパシタ（18）にまで放電させるステップ；を有する、請求項6記載の方法。

【請求項8】 前記のステップ（a）が、以下のサブステップを有する：

（a．1）第1の発光素子（23，27）のキャパシタ（24，28）を充電する際に、第3の電流源（215）を使用してミラーキャパシタ（221）を充電するステップ；

（a．2）基準電圧線（12）における基準電圧とミラーキャパシタ（221）における電圧とを比較するステップ；を有する、請求項6または7記載の方法。

【請求項9】 以下のステップを有する：

（d）第1の発光素子（23，27）をターンオフする場合、発光素子（23，27）中に蓄えられた電荷が電圧供給部におけるキャパシタ（18）に逆流するように、第1の発光素子（23，27）を逆バイアスするステップ；を有する、請求項6から8までのいずれか1項記載の方法。

【請求項10】 発光素子（23，27）のアレイが有機発光ダイオードのアレイである、請求項6から9までのいずれか1項記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は発光素子を駆動させるための回路に関し、特に有機発光ダイオードの低電流ドライブに関する。

【0002】

【従来の技術】有機発光ダイオード（OLED）技術は低電流放射ディスプレイ技術を提供する。しかしながら、OLEDの大規模なアレイは大きな静電容量を有す

る。この静電容量はマルチプレキシ動作時に充電および放電する必要がある。

【0003】OLEDピクセルの等価回路は発光ダイオードおよびこれと並列に接続されたキャパシタである。概して、各OLEDのアノードは電流源によって駆動される。それというのもピクセルV_f（活性化電圧）はOLEDアレイ全体にわたって個々のOLEDごとに異なることがあるためである。

【0004】OLEDのアレイを駆動させる回路の典型的な実現例は、電流源を使用してOLEDアレイのそれぞれの列線路を駆動させることである。各OLEDのアノードは相応する列線路に接続されている。各OLEDのカソードはOLEDマトリクスの相応する行線路に接続されている。それぞれの行線路はスイッチを有している。このスイッチは1つの行だけを同時にイネーブルにする。

【0005】OLEDを駆動させる回路における背景情報に関しては、例えば1998年10月27日付けで、ディスプレイに使用される有機電界ルミネセンス素子のための駆動回路（DRIVING CIRCUIT FOR AN ORGANIC ELECTROLUMINESCENT ELEMENT USED IN A DISPLAY）に関してヨヒユキ オクダ（Yohiyuki Okuda）に発行された米国特許第5828181号明細書を参照のこと。

【0006】本発明の有利な実施例によれば、発光素子のアレイに対する制御回路は発光素子列において各発光素子に接続された第1の列線路を含む。第1の列回路は第1の電流源および第2の電流源を含む。第1の電流源は第1の列線路に接続されている。第2の電流源は第1の列線路に接続されている。発光素子列からの第1の発光素子をターンオンすべき場合には、第1の列線路における電圧が所定の電圧に等しくなるまで第1の電流源をターンオンする。次いで第1の電流源をターンオフし、かつ第2の電流源は第1の発光素子を第1の輝度レベルにまで発光させるのに十分な電流を供給する。

【0007】

【発明が解決しようとする課題】本発明の課題は発光素子行を低電力で動作する回路を提供することである。また本発明の課題は、複雑さを減らして発光素子行に対する制御回路を実現することである。

【0008】

【課題を解決するための手段】前記課題は、発光素子アレイのための制御回路において、回路が第1の列線路と、第1の列回路とを有し、前記第1の列線路は、発光素子の列中の各発光素子に接続されており、前記第1の列回路は、第1の列線路に接続された第1の電流源と、第1の列線路に接続された第2の電流源とを有し、発光素子列からの第1の発光素子をターンオンすべき場合、第1の列線路の電圧が所定の電圧に等しくなるまで前記第1の電流源がターンオンされ、次いで当該第1の電流源はターンオフされ、前記第2の電流源は第1の輝度レ

ベルにまで発光素子を発光させるのに十分な電流を供給することを特徴とする、発光素子アレイのための制御回路によって解決される。

【0009】図1は発光素子のアレイの駆動のために使用される回路を示す図である。例えば、各発光素子は有機発光ダイオード（OLED）素子である。発光素子列は発光素子23および発光素子27によって表されている。発光素子23は該列の第1の発光素子であり、かつ発光素子27は該列の最後の発光素子である。発光素子23と発光素子27の間の列中に任意の数の発光素子が接続されていてもよい。発光素子の典型的なアレイは合計6400個の発光素子のために100個の列および64個の行を有している。

【0010】各発光素子はキャパシタとこれに並列に接続されたダイオードによって表されている。例えば、発光素子23はダイオード25とキャパシタンス24を含み、図示のように接続されている。発光素子27はダイオード29とキャパシタンス28を含み、図示されるように接続されている。

【0011】駆動回路を使用してそれぞれの列に電流が供給される。発光素子23と発光素子27が接続されている列線路20のための駆動回路は電流源15、比較器16、電流源14およびトランジスタ17から構成されている。例えば電流源14は60μAの電流を発生する。電流源15は、例えばターンオンするとピクセル高電圧線（high pixel voltage line）10と列線路20とを接続するスイッチとして実現できる。

【0012】行線路は各発光素子に1つの行で接続されている。このように行線路21は同じ行の全ての発光素子に、発光素子23のように接続されている。行線路22は同じ行の全ての発光素子に、発光素子27のように接続されている。それぞれの行に接続されているスイッチは、1つの行だけが同時にイネーブルとなることを保証する。行線路21は、図示されるようなインバータ構成で接続されたトランジスタ33およびトランジスタ34からなるスイッチによって制御される。該スイッチはスイッチ入力31によって制御される。行線路22は、図示されるようなインバータ構成で接続されたトランジスタ35およびトランジスタ36からなるスイッチによって制御される。該スイッチはスイッチ入力32によって制御される。

【0013】ピクセル高電圧線10には、発光素子のV_fに十分に適合する電圧が印加される。概して、該電圧は8～10Vである。論理高電圧線（high logic voltage line）19には、デバイス上の他の論理回路に十分に適合する電圧が印加される。概して、該電圧は2.7～5Vである。電圧はアース11から測定する。キャパシタ18は高い論理電圧を供給する論理電源（logic power supply）のキャパシタンスを表している。制御入力側13はトランジスタ17のスイッチングを制御する。

制御入力側 13 における信号はパルス幅変調されており、これは輝度の制御を可能にする。

【0014】それぞれの列に対して 2 つの電流源を使用することで、パルス幅変調を使用して広範な輝度の制御の実現が容易になる。特に、各発光素子のダイオードは発光のために少量の電流を必要とするに過ぎないが、発光素子内のキャパシタの充電のためには相対的に大量の電流が必要である。電流源 14 を単一の電流源として使用して発光素子の発光に必要な少量の電流を発生させる場合には、電流源 14 により発生されるピクセル電流は、それぞれの行をイネーブルにしてアクティブな発光素子の必要な活性化電圧 (V_f) にまで列を充電するかなりの時間を費やすこととなる。制御入力側 13 における信号のパルス幅変調によって、少量の電流であっても、これを列の充電のために利用することができる。

【0015】大電流源 15 の付加により、それぞれの列サイクルの開始時に大量の電流が提供され、所定の電圧にまで列を充電する。充電期間の間に、所定の電圧に相当する基準電圧を基準電圧線 12 に印加する。所定の電圧に一度到達すると、比較器 16 は電流源 15 を遮断する。次いで、電流源 15 は“急速充電”電流を提供し、列においてアクティブな発光素子のキャパシタを充電させ、電流源 14 への引継が可能になると、所望のピクセル電流が供給される。これにより、電流源 14 は十分な電流を提供し、アクティブな発光素子は、列サイクルの大部分で発光する。これはパルス幅変調による初期の輝度の制御を可能にする。

【0016】典型的な低電力の適用例では、 $2.7\text{V} \sim 5\text{V}$ の論理電源を有する。しかしながら典型的に、発光素子は発光素子の V_f に適合するために $8\text{V} \sim 10\text{V}$ が必要である。このように、高電圧線 10 に印加すべき高電圧を発生させるために、電圧倍増器を使用する。

【0017】図 2 は、示されるように接続された抵抗 41、抵抗 42、比較器 44、発振器 45、インバータ 46、トランジスタ 48、インダクタ 49、ダイオード 51 およびキャパシタ 52 を含む電圧倍増器を示している。

【0018】例えば、抵抗 41 は $62\text{k}\Omega$ の値を有する。抵抗 42 は $455\text{k}\Omega$ の値を有する。インダクタ 49 は $22\mu\text{H}$ の値を有する。キャパシタ 52 は $10\mu\text{F}$ の値を有する。ダイオード 51 はショットキダイオードである。比較器 44 からの信号によってディスエーブルされてない場合、発振器 45 は 60kHz の周波数を有する信号を発生する。 1.2V の基準電圧が基準電圧線 43 に印加される。接地線 11 は 0V である。論理高電圧線 19 には、電圧 2.7V が印加される。電圧倍増器はピクセル高電圧線 10 に 10V の DC 信号を印加する。ピクセル高電圧線 10 の DC 信号はキャパシタ 52 に蓄えられる。

【0019】図 3 は、図 1 に示した回路の動作を説明す

る簡易化したタイミング線図を示している。波形 61 は“ n ”行に対する行線路の信号を表す。例えば“ n ”行は発光素子 23 を有する行を表す。従って波形 61 は行線路 21 での信号を表す。波形 62 は“ $n+1$ ”行に対する行線路の信号を表す。波形 63 は“ $n+2$ ”行に対する行線路の信号を表す。波形 64 は“ $n+3$ ”行に対する行線路の信号を表す。波形 65 は“ $n+4$ ”行に対する行線路の信号を表す。

【0020】波形 66 は列線路 20 に印加される信号を表している。列データ 67 はアクティブな行中の発光素子が特定の時間の間にオンであるか、またはオフであることを示している。“ON”は列中の発光素子がターンオンすべきであることを示す。“OFF”は列中の発光素子がターンオンすべきでないことを示す。

【0021】それぞれの列に対して同時には、多くても 1 つの発光素子だけがターンオンされる。発光素子をターンオンするために、発光素子に接続された列線路における電圧は V_f (例えば $6 \sim 8\text{V}$) 以上であるべきであり、かつ行線路における電圧が低電圧 (例えば 0V) であるべきである。従って発光素子 23 をターンオンするために、列線路 20 が V_f 以上 (例えば $6 \sim 8\text{V}$) であるべきであり、かつ行線路 21 が低電圧 (例えば 0V) であるべきである。発光素子 27 をターンオンするためには、列線路 20 が V_f 以上 (例えば $6 \sim 8\text{V}$) であるべきであり、かつ行線路 22 が低電圧 (例えば 0V) であるべきである。

【0022】行線路に低電圧をもたらす時間は、発光素子がそれぞれの列に対して多くても 1 つだけが一度にオンになるようにずらされている。このように、期間 71 では、 n 行に対する行線路 (すなわち行線路 21) が低電圧である。全ての他の行は高い電圧に維持する。期間 72 では、 $n+1$ 行に対する行線路が低電圧である。全ての他の行は高電圧に維持する。期間 73 では、 $n+2$ 行に対する行線路が低電圧である。全ての他の行線路は高電圧に維持する。期間 74 では、 $n+3$ 行に対する行線路が低電圧である。全ての他の行は高電圧に維持する。期間 75 では、 $n+4$ 行に対する行線路が低電圧である。全ての他の行は高電圧に維持する。

【0023】列充電時間が発光素子アレイの先行状態と独立であるようにするために、それぞれの列サイクルの開始時では、全ての行線路は高電圧であり、かつ先行の列サイクルでターンオンされた線路を含む全ての列線路を列低電圧におく。この結果として、全ての発光素子は新たな列サイクルの開始時に逆バイアスされる。このことは図 3 に示されており、波形 66 は期間 71 と期間 72 の間、期間 72 と期間 73 の間、期間 73 と期間 74 の間ならびに期間 74 と期間 75 の間で列低電圧 (例えば 2.7V) である。

【0024】それぞれの列に対して、それぞれの行線路を低電圧に導く期間の間に、この行線路に接続された列

の発光素子をターンオンすべき場合、この列線路は V_f 以上に導かれる。それ以外の場合には列線路を列低電圧に維持する。

【0025】例えば期間71においては、 n 行（すなわち行線路21に接続されている）中の発光素子（すなわち発光素子23）をターンオンすべきである。従って、期間71において、列20は V_f 以上の電圧に駆動される。期間72においては、 $n+1$ 行中の発光素子をターンオンすべきである。従って、期間72で、列20が V_f 以上の電圧に駆動される。期間73においては、 $n+2$ 行中の発光素子をターンオフすべきである。従って、期間73では、列20は列低電圧に維持される。期間74においては、 $n+3$ 行中の発光素子をターンオンすべきである。従って、期間74で、列20は V_f 以上の電圧に駆動される。期間75においては、 $n+4$ 行中の発光素子をターンオフすべきである。従って、期間75で、列20は列低電圧に保持される。

【0026】列線路20が V_f 以上である場合、1つの行線路は低電圧に切り換えられ、かつ全ての他の行線路は高い電圧に切り換えられる。これによって、電源から実際に引き出される電流が低減される。例えば発光素子23をターンオフする場合、トランジスタ31は行線路21を高電圧線10に接続する。発光素子21を流れる全ての電流は高電圧線10に流れ、そして図2に示した高電圧倍増器のキャパシタ52に逆流する。

【0027】発光素子23をターンオンする場合、列線路20は V_f 以上であり、かつ行線路21をアース11に接続する。これによりキャパシタ24が充電される。キャパシタ24の電圧が一度 V_f 以上になればダイオード25は発光する。列中の他の発光素子のキャパシタを流れる全ての電流は高電圧線10に流れ、そして図2に示した高電圧倍増器のキャパシタ52に逆流する。

【0028】有利な実施例において、列低電圧は2.7Vである。これは論理回路に対する論理高電圧に相当する。このようにする理由は、論理電源が供給する電圧2.7Vが発光素子をターンオンするのに必要な最低 V_f より低いからである。列を V_f 以上から列低電圧に移行させる場合、“オン”であった発光素子に対するキャパシタ中に電荷が保持され、かつ電荷は他の発光素子に対するキャパシタ中ではより低い程度に保持される。この電荷を使用して論理電圧供給のキャパシタを充電する。

【0029】例えば期間71において、発光素子23がターンオンされる。期間72の終了時に、トランジスタ17をターンオンし、列線路20を論理高電圧線19を通して、論理電源のキャパシタ18に電氣的に接続する。従ってキャパシタ24はキャパシタ18に放電する。

【0030】一方、有利な実施例においては、それぞれの列サイクルの開始時に、列の先行のサイクルでオンで

あった列線路を低電流で駆動させる。本発明の択一的な実施例において、列の充電および放電電流の更なる減少は、1つの列線路が1つの行線路の活性化の間にオンであり、かつ次の行線路の活性化の間にもオンに保持されることを論理的に検出することによって達成される。これが検出される場合、列線路は放電されないで、 V_f に保持される。この実施例において、図3に示した波形66は期間71と期間72との間で V_f に保持される。但し波形66は依然として、期間72と期間73との間、期間73と期間74との間ならびに期間74と期間75との間で列低電圧（例えば2.7V）である。

【0031】また、有利な実施例において、比較器はそれぞれの列に対する高電流供給部に接続されている。このように、列の数と同数の比較器が存在する。本発明の択一的な実施例において、アレイのそれぞれの列をモニタするのに別々の比較器を使用する代わりに1つの比較器だけを使用する。この単一の比較器を電流源ならびに急速充電電流および列静電容量を反映するキャパシタに接続させる。これを図4および図5に示す。

【0032】図4は有利な実施例を示している。この有利な実施例においては、比較器をそれぞれの列に対する高電流供給部に接続する。従って列線路20に対する駆動回路はパルス幅変調される電流源14、高電流源15および比較器16を含む。列線路120に対する駆動回路は、パルス幅変調される電流源114、高電流源115および比較器116を含む。

【0033】図5は択一的な実施例を示している。この択一的な実施例においては、1つだけの比較器216が使用される。比較器216は電流源215およびキャパシタ221に接続されている。電流源215およびキャパシタ221は急速充電電流および列静電容量を反映している。比較器216を使用して、列線路20に接続された高電流源15ならびに列線路120に接続された高電流源115を制御する。比較器16および比較器116は最早必要ない。

【0034】有利な実施例の前記の説明においては、有機発光ダイオードのアレイを制御する回路が記載されている。しかしながら、当業者によって理解されるように、前記の回路を使用することは、発光素子をターンオンする前に充電される幾つかのキャパシタが存在する任意の型の発光素子のアレイを駆動させることにおいて非常に有利である。

【図面の簡単な説明】

【図1】図1は本発明の有利な実施例による発光素子アレイを駆動させるために使用する回路を示す図である。

【図2】図2は図1に示した発光素子アレイに高電圧を提供するために使用される電圧倍増器を示している。

【図3】図3は本発明の有利な実施例による図1に示した発光素子アレイ内の信号に関するタイミング線図を示している。

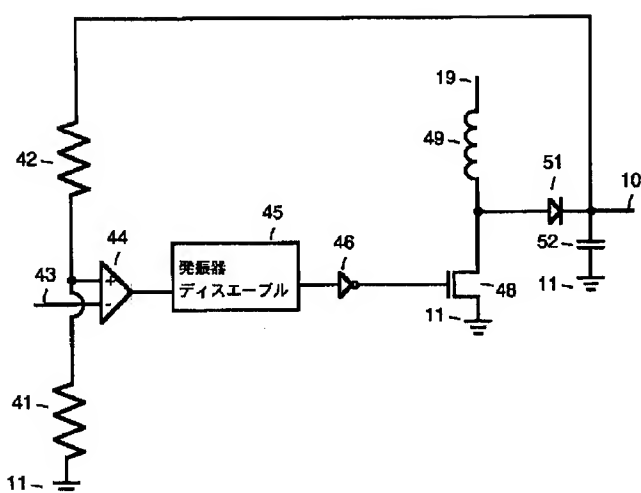
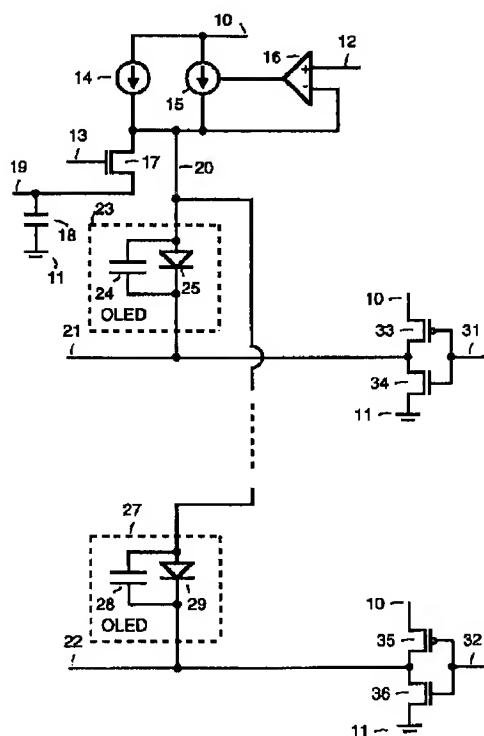
6, 216 比較器、 17, 33, 34, 35, 3
6, 48 トランジスタ、 18, 24, 28, 52,
221 キャパシタ、 19 論理高電圧線、 20,
120 列線路、 21, 22 行線路、 23, 27
発光素子、 25, 29, 51 ダイオード、 31,
32 スイッチ入力、 41, 42 抵抗、 45 発振
器、 46 インバータ、 49 インダクタ、 6
1, 62, 63, 64, 65, 66, 67 波形、 7
1, 72, 73, 74, 75 期間

1 2 0 列線路、 2 1, 2 2 行線路、 2 3, 2 7
発光素子、 2 5, 2 9, 5 1 ダイオード、 3 1,
3 2 スイッチ入力、 4 1, 4 2 抵抗、 4 5 発振
器、 4 6 インバータ、 4 9 インダクタ、 6
1, 6 2, 6 3, 6 4, 6 5, 6 6, 6 7 波形、 7
1, 7 2, 7 3, 7 4, 7 5 期間

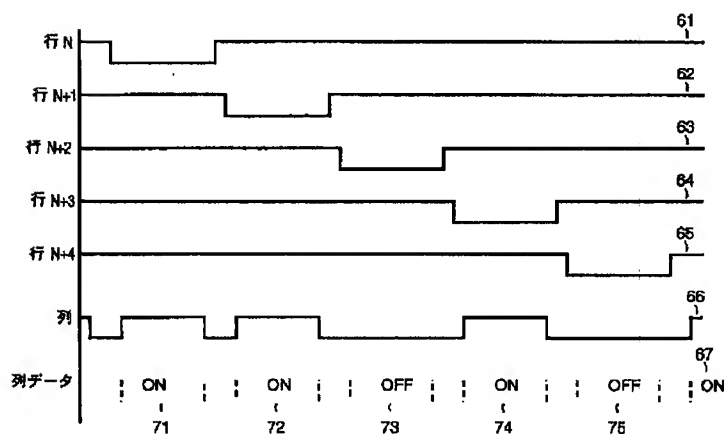
器、 46 インバータ、 49 インダクタ、 6
1, 62, 63, 64, 65, 66, 67 波形、 7
1, 72, 73, 74, 75 期間

1, 62, 63, 64, 65, 66, 67 波形、 7
1, 72, 73, 74, 75 期間

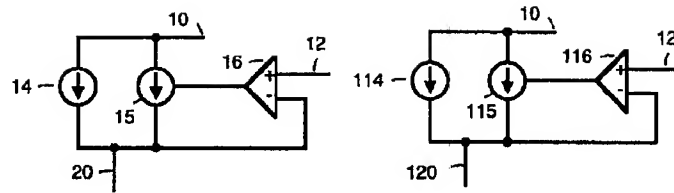
【图2】



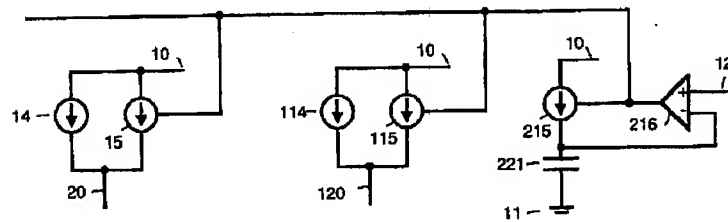
【圖 3】



【図 4】



【図 5】



フロントページの続き

(71)出願人 399035836

1730 North First Street,
San Jose, CA, USA

(72)発明者 ジェフリー エー シューラー
アメリカ合衆国 カリフォルニア サン
ホセ ウェストモアランド ドライヴ
2193

(72)発明者 ヤン ツァオ

アメリカ合衆国 カリフォルニア フレモ
ント ヤンパ ウェイ 660

(72)発明者 ジョン ブラマー

アメリカ合衆国 カリフォルニア サラト
ガ ヘリミン アヴェニュー 20261